

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 8 日 (08.12.2005)

PCT

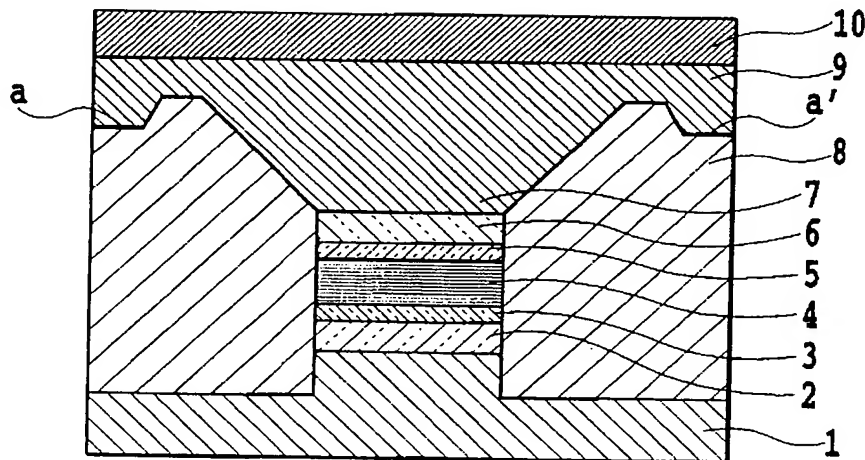
(10) 国際公開番号
WO 2005/117217 A1

- (51) 国際特許分類⁷: H01S 5/227 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/009656 (75) 発明者/出願人 (米国についてののみ): 伊賀 龍三 (IGA, Ryuzo) [JP/JP]; 〒1808585 東京都武蔵野市緑町 3 丁目 9-1 1 NTT 知的財産センタ内 Tokyo (JP). 近藤 康洋 (KONDO, Yasuhiro) [JP/JP]; 〒1808585 東京都武蔵野市緑町 3 丁目 9-1 1 NTT 知的財産センタ内 Tokyo (JP).
(22) 国際出願日: 2005 年 5 月 26 日 (26.05.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2004-155785 2004 年 5 月 26 日 (26.05.2004) JP (74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒1070052 東京都港区赤坂 2 丁目 6-2 O Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町二丁目 3 番 1 号 Tokyo (JP). (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,

/続葉有/

(54) Title: SEMICONDUCTOR OPTICAL ELEMENT AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体光素子及びその製造方法



(57) Abstract: A low mesa embedded element structure on a p-type substrate has high element characteristics, and to improve manufacturing yield and run-to-run reproducibility, a cross-sectional shape prior to growing an element contact layer, namely, that after growing an over clad layer, is flattened to an extent where crystallinity of the contact layer is not affected. On a p-type semiconductor substrate (1), a stripe-shaped laminate composed of at least a p-type clad layer (2), an active layer (4) and an n-type clad layer (6) is provided. Both sides of the laminate are embedded in a current block layer (8), and on the current block layer (8) and the laminate, an n-type over clad layer (9) and an n-type contact layer (10) are arranged. The n-type over clad layer (9) is a semiconductor crystal which flattens unevenness of the top planes of the current block layer (8) and the laminate.

(57) 要約: p型基板上的ローメサ埋め込み素子構造で、高い素子特性を持たせ、製造歩留まりとrun-to-runの再現性を向上させるため、素子のコンタクト層の成長前、すなわちオーバークラッド層の成長後の断面形状を、コンタクト層の結晶性に問題を与えない程度に平坦化する。p型半導体基板1上に、少なくともp型のクラッド層2、活性層4及びn型クラッド層6からなるストライプ状の積層体があり、積層体の両側が電

/続葉有/



NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。